



Please type or sign (+) inside this box → [+]

PTO/SB/21 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM <i>(to be used for all correspondence after initial filing)</i>		Application Number	09/680,054
		Filing Date	October 5, 2000
		First Named Inventor	Shinji NAKAMURA et al.
		Group Art Unit	2823
		Examiner Name	Brook Kebede
Total Number of Pages in This Submission		Attorney Docket Number	740819-430

ENCLOSURES (check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers <i>(for an Application)</i> <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Declaration and Power of Attorney <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s)	<input type="checkbox"/> After Allowance Communication to Group <input checked="" type="checkbox"/> Other Request for Acknowledgment for Consideration of Disclosed Information <div style="text-align: right; margin-top: 100px;">RECEIVED TC 2800 MAIL ROOM NOV -5 2001</div>
Remarks		<input checked="" type="checkbox"/> The Commissioner is hereby authorized to charge any additional fees required or credit any overpayments to Deposit Account No. 19-2380 for the above identified docket number.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Donald R. Studebaker, Reg. No. 32,815 Nixon Peabody LLP 8180 Greensboro Drive Suite 800 McLean, VA 22102
Signature	
Date	October 16, 2002

CERTIFICATE OF MAILING	
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date:	
October 16, 2002	
Type or printed name	Jeannie Saxton
Signature	
Date October 16, 2002	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.



#10/Priority
paper
11/8/02
10

Docket No.: 740819-430

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Shinji NAKAMURA et al.)
Serial No. 09/680,054)
Filed: October 5, 2000)
For: SEMICONDUCTOR DEVICE, SEMICONDUCTOR)
SUBSTRATE, AND MANUFACTURE METHOD)

RECEIVED
NOV -5 2002
TC 2800 MAIL ROOM

TRANSMITTAL OF PRIORITY DOCUMENT AND CLAIM OF FOREIGN
FILING DATE PURSUANT TO 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

It is respectfully requested that this application be given the benefit of the foreign filing date under the provisions of 35 U.S.C. 119 of the following, a certified copy of which is submitted herewith:

<u>Application No.</u>	<u>Country</u>	<u>Filed</u>
11-285582	Japan	October 6, 1999

Respectfully submitted,


Donald R. Studebaker
Reg. No. 32,815

Nixon Peabody LLP
8180 Greensboro Drive, Suite 800
McLean, Virginia 22102
(703) 770-9300

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with The United States Postal Service with sufficient postage as First Class Mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on 10-16-02



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: 1999年10月 6日

出願番号
Application Number: 平成11年特許願第285582号

[ST.10/C]: [JP1999-285582]

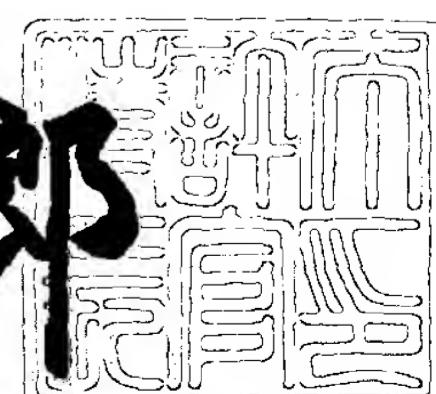
出願人
Applicant(s): 松下電子工業株式会社

RECEIVED
NOV-5 2002
JPC 2800 MAIL ROOM

2002年 9月 27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3071490

【書類名】 特許願
【整理番号】 2925010039
【提出日】 平成11年10月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 33/00
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 中村 真嗣
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 石田 昌弘
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 折田 賢児
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 今藤 修
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 油利 正昭
【特許出願人】
【識別番号】 000005843
【氏名又は名称】 松下電子工業株式会社
【代理人】
【識別番号】 100097445
【弁理士】
【氏名又は名称】 岩橋 文雄
【選任した代理人】
【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011316

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809939

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 基板と、前記基板の上に設けた窪みと、少なくとも前記窪みの内面から結晶成長して前記基板の上に形成された半導体層とを有する半導体装置。

【請求項2】 前記窪みは、前記基板の主面と平行でない少なくとも2枚の内面を有し、前記2枚の内面が前記主面に平行な面により切り取られてできる2本の線分のなす角が60度または120度である請求項1記載の半導体装置。

【請求項3】 前記窪みは、六方晶の結晶構造を有する半導体層に形成された請求項2記載の半導体装置。

【請求項4】 前記窪みの内面は、面方位が(1, -1, 0, 1)である面またはそれと等価な面よりなる請求項3記載の半導体装置。

【請求項5】 前記基板の上に窪みを複数個設けた請求項1記載の半導体装置。

【請求項6】 基板と、前記基板の上に設けた凸起と、少なくとも前記凸起の側面から結晶成長して前記基板の上に形成された半導体層とを有する半導体装置。

【請求項7】 前記凸起は、前記基板の主面と平行でない少なくとも2枚の側面を有し、前記2枚の側面が前記主面に平行な面により切り取られてできる2本の直線のなす角が60度または120度である請求項6記載の半導体装置。

【請求項8】 前記凸起は、六方晶の結晶構造を有する半導体層に形成された請求項7記載の半導体装置。

【請求項9】 前記凸起の側面は、面方位が(1, -1, 0, 1)である面またはそれと等価な面よりなる請求項8記載の半導体装置。

【請求項10】 前記基板の上に凸起を複数個設けた請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の欠陥抑制、特に青色レーザや高速動作トランジスタ等に用いられるIII族窒化物半導体よりなる半導体装置の欠陥を抑制する技術に関するものである。

【0002】

【従来の技術】

従来の半導体装置の断面を図10に示す。ただし、構造を明瞭に示すため、断面のハッチングは省略している。図10において、サファイア基板1の上にGaNよりなるバッファ層2、n型GaN層3、n型AlGaNクラッド層4、n型GaN光ガイド層5、アンドープInGaN活性層6、p型GaN光ガイド層7、第1のp型AlGaNクラッド層8、開口9を有する電流狭窄層10、第2のp型AlGaNクラッド層11およびp型GaNコンタクト層12が順次形成されている。さらに、n型GaN層3の露出面にはn型電極13、またp型GaNコンタクト層12にはp型電極14がそれぞれ取り付けられている。

【0003】

なお、バッファ層2は、サファイア基板1とn型GaN層3の格子不整合を緩和し、結晶成長を容易にするために設けられたものであり、半導体素子の動作には直接的には関係しない。

【0004】

この半導体装置は、アンドープInGaN活性層6が窒化物半導体であるために、n型電極13およびp型電極14に電圧を印加することにより、青色の光を発振するレーザとして使用することができる。

【0005】

【発明が解決しようとする課題】

しかしながら、この従来の半導体装置では、図10に示すようにn型GaN層3中に筋状に存在する格子欠陥15が、n型GaN層3、n型AlGaNクラッド層4等の成長とともに上方に延びて、半導体レーザ素子の能動領域として働くアンドープInGaN活性層6における電流狭窄層10の開口9部分に達してしまう。

【0006】

半導体レーザ素子のように、高電流注入を必要とする場合、格子欠陥の部分から劣化が始まり、半導体装置の寿命や信頼性を著しく低下させてしまう。

【0007】

また、ここで説明した半導体レーザ素子の活性層だけではなく、例えば高速動作する半導体トランジスタ素子のゲート領域においても、このゲート領域に存在する格子欠陥によってキャリアの移動度が低下するため、半導体トランジスタ素子の性能を低下させてしまう。

【0008】

このように、半導体レーザ素子の活性層や、トランジスタのゲート領域など、半導体素子の能動領域を担う部分に存在する格子欠陥は、半導体素子の性能劣化の原因となる。

【0009】

上記課題に鑑み、本発明は、欠陥を半導体層の特定の場所に集中させることにより半導体層の欠陥密度を減少させ、それにより半導体素子の能動領域の格子欠陥を低減し、信頼性が高く、高性能な半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記課題を解決するために本発明の半導体装置は、基板と、前記基板の上に設けた窪みと、少なくとも前記窪みの内面から結晶成長して前記基板の上に形成された半導体層とを有するものである。

【0011】

この構成により、半導体層が基板の上に設けた窪みの内面より結晶成長されて形成しているので、半導体層中の欠陥を窪みの中心方向へ集中させることができて半導体層の欠陥密度を減少させることができる。

【0012】

本発明の半導体装置は、かかる構成につき、窪みは、前記基板の主面と平行でない少なくとも2枚の内面を有し、前記2枚の内面が前記主面に平行な面により切り取られてできる2本の線分のなす角が60度または120度であるものであ

る。

【0013】

この構成により、さらに窪みが基板の正面と平行でない少なくとも2枚の内面を含み、各々の内面が正面に平行な面により切り取られてできる各々の線分どうしのなす角が60度または120度であるので、側面の結晶性を良好にすることができる、その上に形成される半導体層の結晶性を良好にすることができる。

【0014】

本発明の半導体装置は、かかる構成につき、窪みは、六方晶の結晶構造を有する半導体層に形成されたものである。

【0015】

この構成により、さらに窪みが六方晶の結晶構造を有する半導体層に形成されているので、窪みの内面を結晶成長面とすることができます、その上に形成される半導体層の結晶性を良好にすることができます。

【0016】

本発明の半導体装置は、かかる構成につき、窪みの内面は、面方位が(1, -1, 0, 1)である面またはそれと等価な面よりなるものである。

【0017】

この構成により、さらに窪みの内面を結晶成長面である(1, -1, 0, 1)面またはそれと等価な面としているので、その上に形成される半導体層の結晶性を良好にすることができます。

【0018】

本発明の半導体装置は、かかる構成につき、基板の上に窪みを複数個設けたものである。

【0019】

この構成により、基板の上に窪みを複数個設けているので、窪みの中央部付近の半導体層に欠陥を集中させることができ、半導体層の欠陥密度を減少させることができます。

【0020】

本発明の半導体装置は、基板と、前記基板の上に設けた凸起と、少なくとも前

記凸起の側面から結晶成長して前記基板の上に形成された半導体層とを有するものである。

【0021】

この構成により、半導体層が基板の上に設けた凸起の側面より結晶成長されて形成しているので、半導体層中の欠陥を凸起の外側方向へ集中させることができて半導体層の欠陥密度を減少させることができる。

【0022】

本発明の半導体装置は、かかる構成につき、凸起は、前記基板の主面と平行でない少なくとも2枚の側面を有し、前記2枚の側面が前記主面に平行な面により切り取られてできる2本の直線のなす角が60度または120度であるものである。

【0023】

この構成により、さらに凸起が基板の主面と平行でない少なくとも2枚の側面を含み、各々の側面が主面に平行な面により切り取られてできる各々の線分どうしのなす角が60度または120度であるので、側面の結晶性を良好にすることでき、その上に形成される半導体層の結晶性を良好にすることができる。

【0024】

本発明の半導体装置は、かかる構成につき、凸起は、六方晶の結晶構造を有する半導体層に形成されたものである。

【0025】

この構成により、さらに凸起が六方晶の結晶構造を有する半導体層に形成されているので、凸起の側面を結晶成長面とでき、その上に形成される半導体層の結晶性を良好にすることができる。

【0026】

本発明の半導体装置は、かかる構成につき、凸起の側面は、面方位が(1, -1, 0, 1)である面またはそれと等価な面よりなるものである。

【0027】

この構成により、さらに凸起の側面を結晶成長面である(1, -1, 0, 1)面またはそれと等価な面としているので、その上に形成される半導体層の結晶性

を良好にことができる。

【0028】

本発明の半導体装置は、かかる構成につき、基板の上に凸起を複数個設けたものである。

【0029】

この構成により、基板の上に凸起を複数個設けているので、各凸起間の中点付近の半導体層に欠陥を集中させることができ、半導体層の欠陥密度を減少させることができる。

【0030】

【発明の実施の形態】

本発明の実施の形態について、図面を用いて説明する。

【0031】

(実施の形態1)

本発明の第1の実施の形態に係る半導体装置は、図1にその見取り図を示すように、サファイア基板101の上に(0, 0, 0, 1)面を主面とする六方晶のGaNよりなる厚さ2.0μmの第1の半導体層102が形成され、さらにその上にAl_{0.1}Ga_{0.9}Nよりなる厚さ1.0μmの第2の半導体層103が形成されたものである。第1の半導体層102には深さ1.0μmの窪み104が形成されており、その窪み104はそれぞれ第1の半導体層102の主面に含まれる辺の長さが1.5μm、面方位が(1, -1, 0, 1)、(0, 1, -1, 1)および(-1, 0, 1, 1)である3枚の側面105、106および107と面方位が(0, 0, 0, 1)である底面108とで構成されている。なお、不図示であるが、サファイア基板101と第1の半導体層102との間にはアンドープGaNよりなる厚さが50nm程度のバッファ層が形成されている。なお、窪み104について、第1の半導体層102の主面に含まれる3辺がつくる三角形の、3つの角の大きさが60度であることはいうまでもない。

【0032】

この構成により、第1の半導体層102に窪み104が形成され、その上に第2の半導体層103が形成されているので、窪み104の内部に形成された3枚

の側面105、106および107より第1の半導体層102の正面の法線方向とは異なる方向に第2の半導体層103が結晶成長して欠陥が1カ所に集合するようになり、3枚の側面105、106および107の上部にある第2の半導体層103の欠陥密度を減少させることができる。

【0033】

特に、3枚の側面105、106および107の正面に含まれるそれぞれの線分どうしのなす角が60度であるので、側面105、106および107の結晶性を良好にすることができる、その上に形成される半導体層の結晶性を良好にすることができる。

【0034】

この実施の形態に係る半導体装置の製造方法を図2に示す。

【0035】

まず、サファイア基板101の上有機気相金属エピタキシャル成長法（以下MOVPE法という）により第1の半導体層102を形成する（図2（a））。

【0036】

次に正三角形の穴が開いたマスク（不図示）を第1の半導体層102の上に載置し、ドライエッチングにより第1の半導体層102の、マスクのない部分の層厚を小さくし、3枚の側面105、106および107と底面108とを露出させる（図2（b））。

【0037】

その後、マスクを除去し、MOVPE法により第1の半導体層102の上に第2の半導体層103を形成する（図2（c））。

【0038】

この実施の形態に係る半導体装置の断面を電子顕微鏡により観察したところ、図3に示すようになった。なお、図3（a）、（b）および（c）はそれぞれ半導体装置を、図1の線分A-A'、B-B'およびC-C'を含む第1の半導体層の正面に垂直な面で劈開した場合の断面の様子を表す。なお、図3において、一部の層については便宜上ハッチングを施していない。これら図3（a）、（b）および（c）のいずれの断面においても欠陥109が集合していることがわか

った。

【0039】

また、この実施の形態に係る半導体装置の、窪み104近傍の表面を光学顕微鏡により観察したところ、窪み104のほぼ中央付近に欠陥109が点状になって現れ、欠陥109以外に欠陥が見られなかった。

【0040】

以上に示す観察結果から、上記半導体装置において第2の半導体層103中の欠陥109が、図4に示すように1カ所に集合していることがわかった。

【0041】

なお、上記実施の形態において以下に示す置き換えを行っても同様の効果が得られる。

【0042】

窪み104の、第1の半導体層102の主面における面の形状として四角形や六角形等の多角形でもよいし、円や橍円でもよい。特に窪み104について、面方位が $(1, -1, 0, 1)$ である面、およびそれと等価である面すなわち $(-1, 1, 0, 1)$ 、 $(0, 1, -1, 1)$ 、 $(0, -1, 1, 1)$ 、 $(-1, 0, 1, 1)$ および $(1, 0, -1, 1)$ よりなる側面を有し、第1の半導体層102の主面における面の形状が六角形であれば側面の結晶性を良好にすることができる、側面より結晶成長する第2の半導体層の結晶性を良好にすることができる。なお、この場合、窪み104について第1の半導体層102の主面に含まれる6辺がつくる六角形の、6つの角の大きさが120度であることはいうまでもない。

【0043】

また、GaNまたは $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 以外の六方晶の結晶よりなる第1の半導体層および第2の半導体層を用いてもよい。

【0044】

さらに底面108はなくてもよい。

【0045】

(実施の形態2)

本発明の第2の実施の形態に係る半導体装置は、図5にその見取り図を示すように、サファイア基板201の上に(0, 0, 0, 1)面を主面とする六方晶のGaNよりなる厚さ2.0μmの第1の半導体層202が形成され、さらにその上にAl_{0.1}Ga_{0.9}Nよりなる厚さ1.5μmの第2の半導体層203が形成され、第1の半導体層202には高さ0.5μmの凸起204が形成されたものである。第1の半導体層202には、その凸起204はそれぞれ第1の半導体層202の主面に含まれる辺の長さが1.0μm、面方位が(1, -1, 0, 1)、(0, 1, -1, 1)および(-1, 0, 1, 1)である3枚の側面205、206および207と面方位が(0, 0, 0, 1)である上面208とで構成されている。なお、不図示であるが、サファイア基板201と第1の半導体層202との間にはアンドープGaNよりなる厚さが50nm程度のバッファ層が形成されている。なお、凸起204について、第1の半導体層202の主面に含まれる3辺がつくる三角形の3つの角の大きさが120度であることはいうまでもない。

【0046】

この構成により、第1の半導体層202に凸起204が形成され、その上に第2の半導体層203が形成されているので、凸起204に形成された3枚の側面205、206および207より第1の半導体層202の主面の法線方向とは異なる方向に第2の半導体層203が結晶成長して凸起204の外側に欠陥が伸びるようになり、3枚の側面205、206および207の上部にある第2の半導体層203の欠陥密度を減少させることができる。

【0047】

特に、3枚の側面205、206および207の主面に含まれるそれぞれの線分どうしのなす角が60度であるので、側面205、206および207の結晶性を良好にすることができます、その上に形成される半導体層の結晶性を良好にすることができる。

【0048】

この実施の形態に係る半導体装置の製造方法を図6に示す。

【0049】

まず、サファイア基板201の上にMOVPE法により第1の半導体層202

を形成する（図6（a））。

【0050】

次に正三角形のマスク（不図示）を第1の半導体層202の上に載置し、ドライエッティングにより第1の半導体層202の、マスクのない部分の層厚を小さくし、3枚の側面205、206および207と上面208とを露出させる（図6（b））。

【0051】

その後、マスクを除去し、MOVPE法により第1の半導体層202の上に第2の半導体層203を形成する（図6（c））。

【0052】

この実施の形態に係る半導体装置の断面を電子顕微鏡により観察したところ、図7に示すようになった。なお、図7（a）、（b）および（c）はそれぞれ半導体装置を、図5の線分A-A'、B-B'およびC-C'を含む第1の半導体層の正面に垂直な面で劈開した場合の断面の様子を表す。また、図7において、一部の層については便宜上ハッチングを施していない。これら図7（a）、（b）および（c）のいずれの断面においても欠陥209が側面より外側へ伸びていることがわかった。

【0053】

また、この実施の形態に係る半導体装置の、凸起204近傍の表面を光学顕微鏡により観察したところ、凸起204のほぼ中央付近には欠陥が見られなかった。

【0054】

以上に示す観察結果から、上記半導体装置において第2の半導体層203中の欠陥209が、凸起204の側面より外側へ伸びていることがわかった。

【0055】

なお、上記実施の形態において以下に示す置き換えを行っても同様の効果が得られる。

【0056】

凸起204の、第1の半導体層202の正面における面の形状として四角形や

六角形等の多角形でもよいし、円や楕円でもよい。特に面方位が(1, -1, 0, 1)である面、およびそれと等価である面すなわち(-1, 1, 0, 1)、(0, 1, -1, 1)、(0, -1, 1, 1)、(-1, 0, 1, 1)および(1, 0, -1, 1)よりなる側面を有し、第1の半導体層202の主面における面の形状が六角形であれば側面の結晶性を良好にすることができ、側面より結晶成長する第2の半導体層203の結晶性を良好にすることができる。なお、この場合、凸起204について第1の半導体層202の主面に含まれる6辺がつくる六角形の、6つの角の大きさが120度であることはいうまでもない。

【0057】

また、GaNまたはAl_{0.1}Ga_{0.9}N以外の六方晶の結晶よりなる第1の半導体層202および第2の半導体層203を用いてもよい。

【0058】

さらに上面208はなくてもよい。

【0059】

(実施の形態3)

本発明の第3の実施の形態に係る半導体装置は、図8にその上面図を示すように、サファイア基板101の上に(0, 0, 0, 1)面を主面とする六方晶のGaNよりなる厚さ2.0μmの第1の半導体層102が形成され、さらにその上にAl_{0.1}Ga_{0.9}Nよりなる厚さ1.0μmの第2の半導体層103が形成されたものであり、第1の半導体層102には深さ1.0μmの複数の窪み104が<1, -1, 0, 0>方向(矢印D)および<1, 1, -2, 0>方向(矢印E)に、中心間の距離が10μmになるように等間隔に形成されており、その窪み104はそれぞれ第1の半導体層102の主面に含まれる辺の長さが1.5μm、面方位が(1, -1, 0, 1)、(0, 1, -1, 1)および(-1, 0, 1, 1)である3枚の側面105、106および107と面方位が(0, 0, 0, 1)である底面108とで構成されている。窪み近傍の積層構造については図1と同様である。なお、不図示であるが、サファイア基板101と第1の半導体層102との間にはアンドープGaNよりなる厚さが50nm程度のバッファ層が形成されている。

【0060】

この構成により、複数の窪み104が等間隔に形成されているので、窪み104の中央へ向けて欠陥が1カ所に集合するようになり、第2の半導体層103の欠陥密度を減少させることができる。

【0061】

特に、3枚の側面105、106および107の主面に含まれるそれぞれの線分どうしのなす角が60度であるので、側面105、106および107の結晶性を良好にすることができる、その上に形成される第2の半導体層の結晶性を良好にすることができる。

【0062】

この実施の形態に係る半導体装置の製造方法は第1の実施の形態とほぼ同様であり、異なる点はドライエッチングの際に用いるマスクとして中心間の距離が10μmになるように等間隔に三角形の穴が並んだマスクを用いればよい。

【0063】

この実施の形態に係る半導体装置の表面を光学顕微鏡により観察したところ、窪み104のほぼ中央付近に欠陥が点状になって現れる以外は特に目立った欠陥が見られず、従来の半導体装置と比べて欠陥密度が減少したことが確認できた。

【0064】

(実施の形態4)

本発明の第4の実施の形態に係る半導体装置は、図9にその上面図を示すように、サファイア基板201の上に(0, 0, 0, 1)面を主面とする六方晶のGaNよりなる厚さ2.0μmの第1の半導体層202が形成され、さらにその上にAl_{0.1}Ga_{0.9}Nよりなる厚さ1.5μmの第2の半導体層203が形成されたものである。第1の半導体層202には高さ0.5μmの複数の凸起204がある。凸起204はそれぞれ第1の半導体層202の主面に含まれる辺の長さが1.0μm、面方位が(1, -1, 0, 1)、(0, 1, -1, 1)および(-1, 0, 1, 1)である3枚の側面205、206および207と面方位が(0, 0, 0, 1)である。

1) である上面208とで構成されている凸起204近傍の積層構造については図5と同様である。なお、不図示であるが、サファイア基板201と第1の半導体層202との間にはアンドープGaNよりなる厚さが50nm程度のバッファ層が形成されている。

【0065】

この構成により、複数の凸起204が等間隔に形成されているので、隣り合う凸起204の中間へ向けて欠陥が集合するようになり、第2の半導体層203の欠陥密度を減少させることができる。

【0066】

特に、3枚の側面205、206および207の主面に含まれるそれぞれの線分どうしのなす角が60度であるので、側面205、206および207の結晶性を良好にすることができる、その上に形成される第2の半導体層の結晶性を良好にすることができる。

【0067】

この実施の形態に係る半導体装置の製造方法は第1の実施の形態とほぼ同様であり、異なる点はドライエッチングの際に用いるマスクとして中心間の距離が10μmになるように等間隔に並んだマスクを用いればよい。

【0068】

この実施の形態に係る半導体装置の表面を光学顕微鏡により観察したところ、隣り合う凸起204のほぼ中間付近に欠陥がまばらに現れる以外は特に欠陥が見られず、従来の半導体装置と比べて欠陥密度が減少したことが確認できた。

【0069】

なお、上記第3ないし第4の実施の形態において、窪み104または凸起204の、第1の半導体層の主面に含まれる辺の長さおよび配列間隔は、第1の半導体層の層厚等に応じて適宜選べばよい。

【0070】

なお、上記第1ないし第4の実施の形態において、基板としてはサファイア基板以外に六方晶よりなる基板、例えばスピネル基板、SiC基板またはGaN基板を用いてもよい。

【0071】

また、上記第1ないし第4の実施の形態において、第1の半導体層に窪みまたは凸起を設ける代わりに基板に窪みまたは凸起を設けてもよい。

【0072】

なお、上記第1ないし第4の実施の形態において、第2の半導体層の代わりに半導体レーザ等の積層構造を有するデバイスを形成してもよい。特にデバイスを形成した場合、能動領域を欠陥密度の少ない領域に設けることによりデバイスの特性を向上させることができる。

【0073】

また、上記第3ないし第4の実施の形態において、第2の半導体層の代わりに半導体レーザを形成し、半導体レーザのストライプ方向を窪みまたは凸起の配列の方向に合わせてもよい。このようにすれば、ストライプ領域における欠陥を低減させることができて半導体レーザの特性を向上させることができる。

【0074】

【発明の効果】

以上説明したように、本発明の半導体装置によれば、欠陥を半導体層の特定の場所に集中させることができ、半導体層の欠陥密度を減少させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体装置の見取り図

【図2】

同半導体装置の製造方法を示す見取り図

【図3】

同半導体装置の断面を電子顕微鏡により観察した結果を示す断面図

【図4】

同半導体装置における欠陥の様子を示す見取り図

【図5】

本発明の第2の実施の形態に係る半導体装置の見取り図

【図6】

同半導体装置の製造方法を示す見取り図

【図7】

同半導体装置の断面を電子顕微鏡により観察した結果を示す断面図

【図8】

本発明の第3の実施の形態に係る半導体装置の上面図

【図9】

本発明の第4の実施の形態に係る半導体装置の上面図

【図10】

従来の半導体装置の断面図

【符号の説明】

101、201 サファイア基板

102、202 第1の半導体層

103、203 第2の半導体層

104 窪み

105、106、107、205、206、207 側面

108 底面

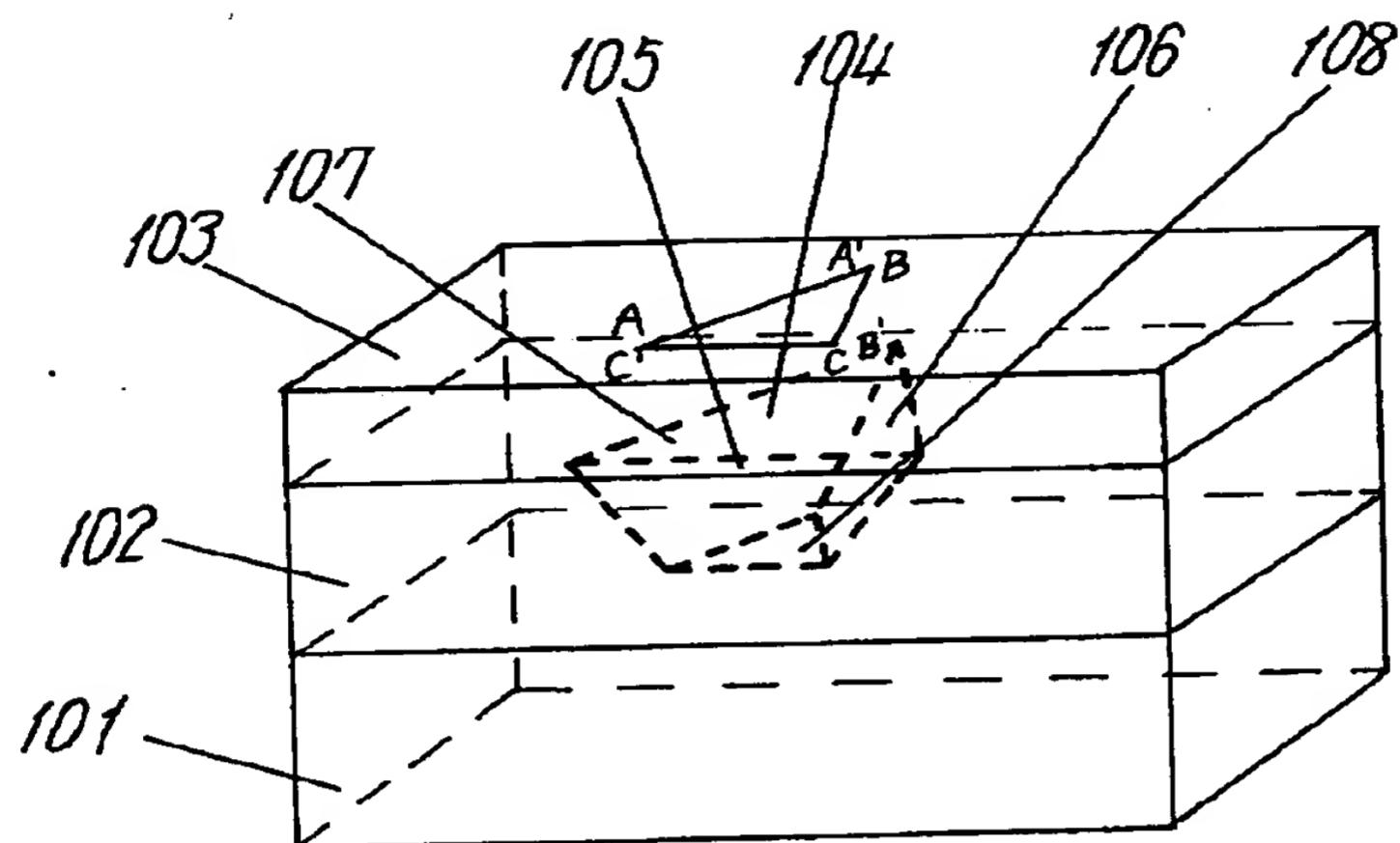
109、209 欠陥

204 凸起

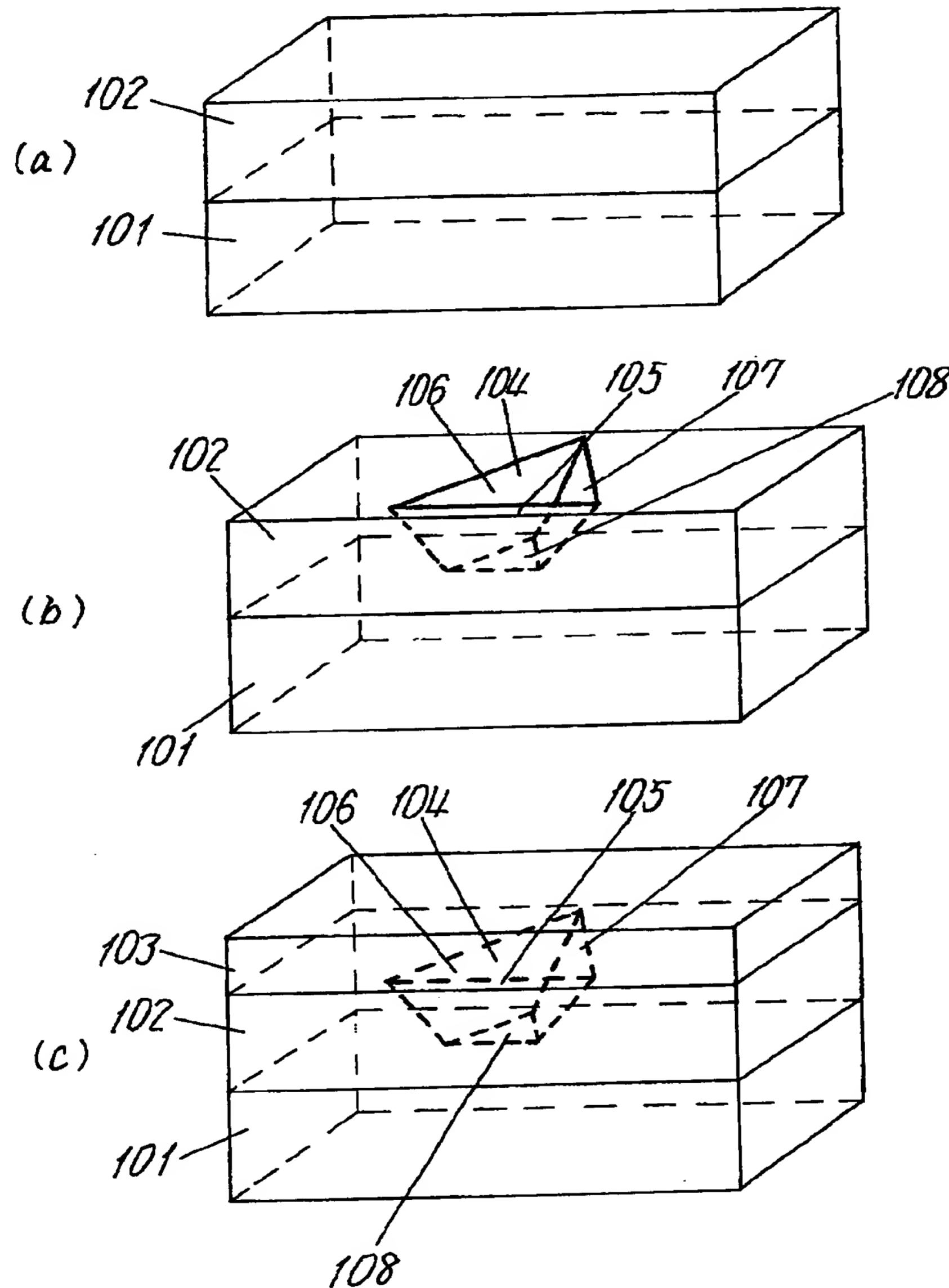
208 上面

【書類名】 図面

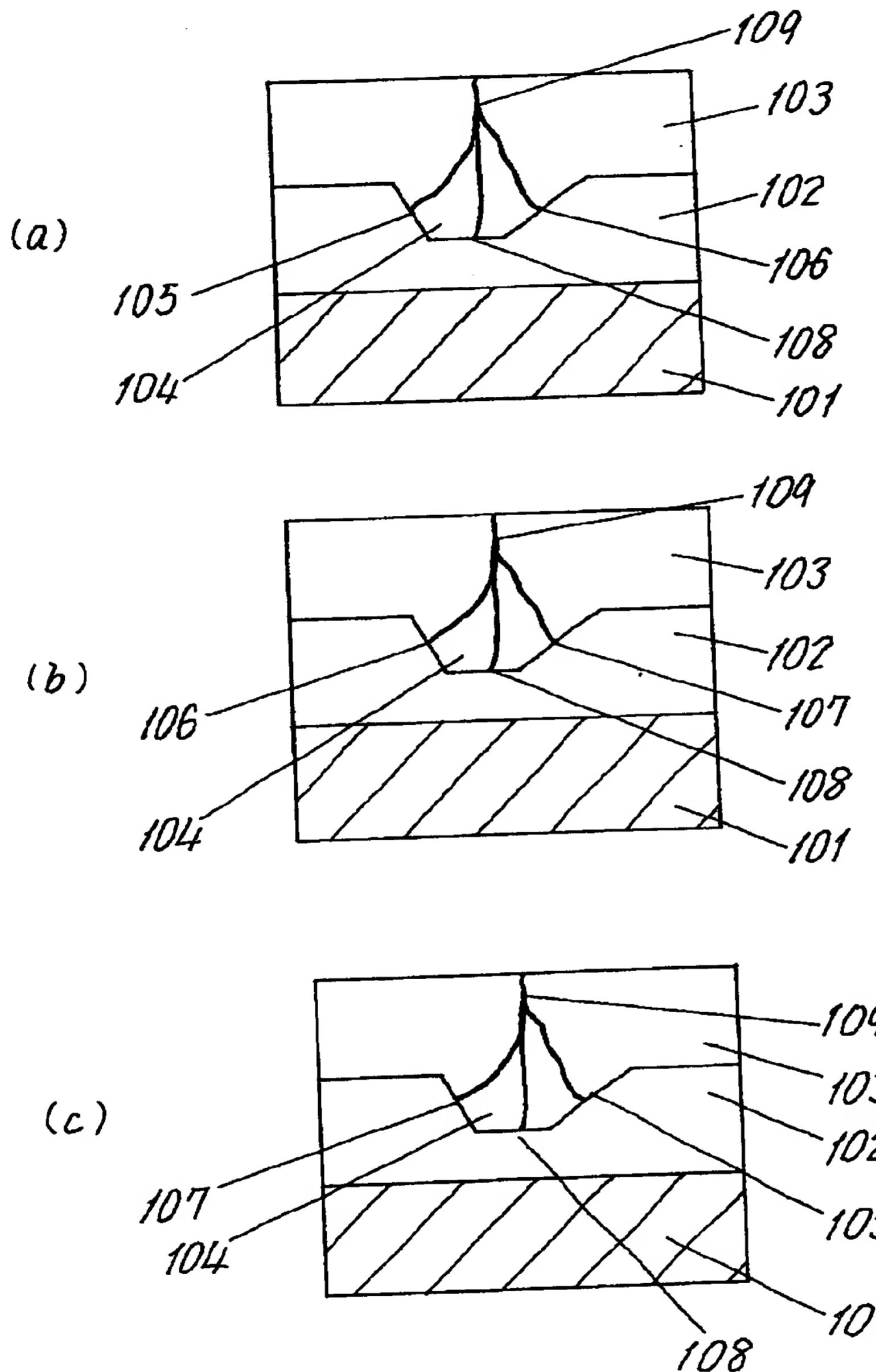
【図1】



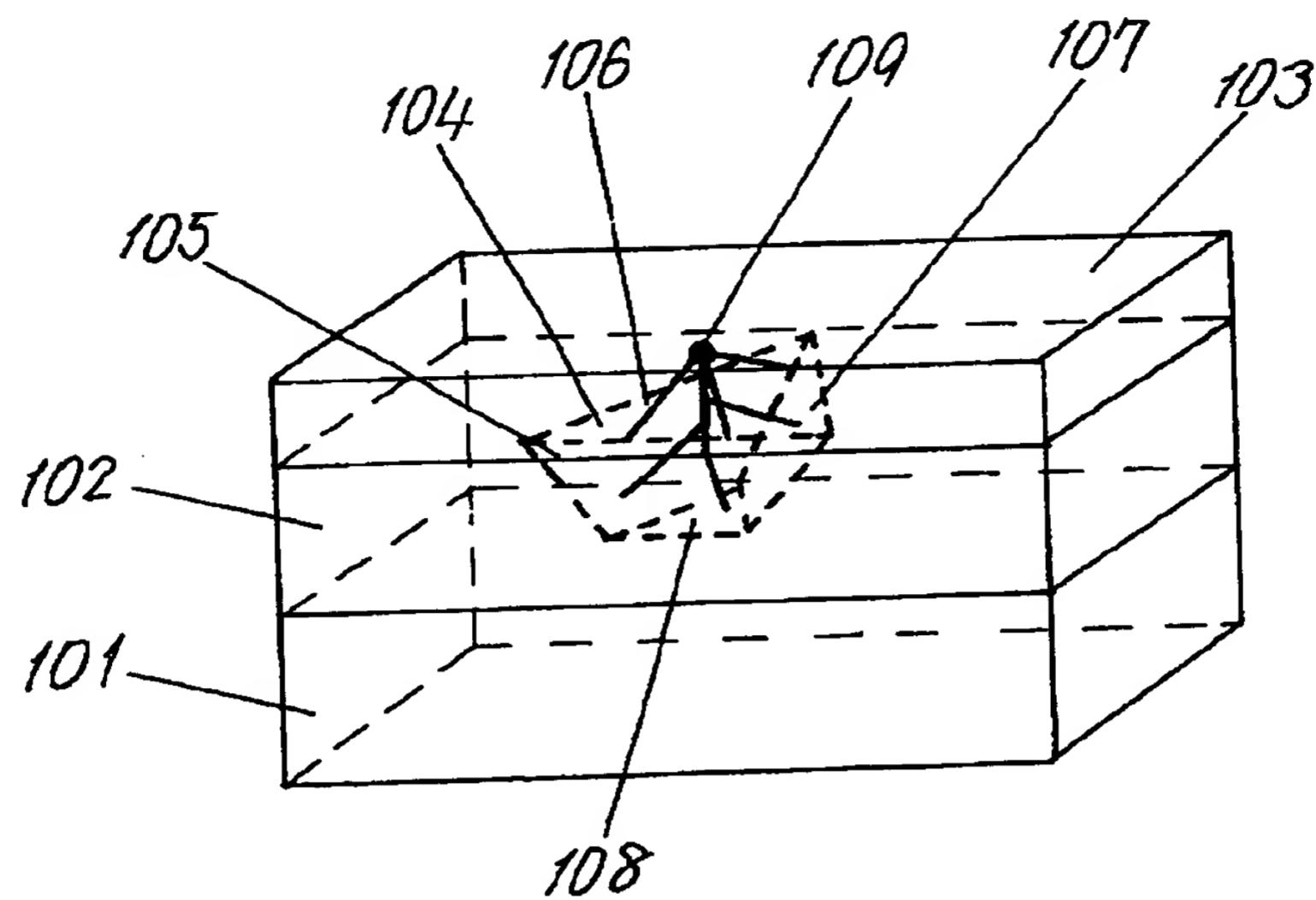
【図2】



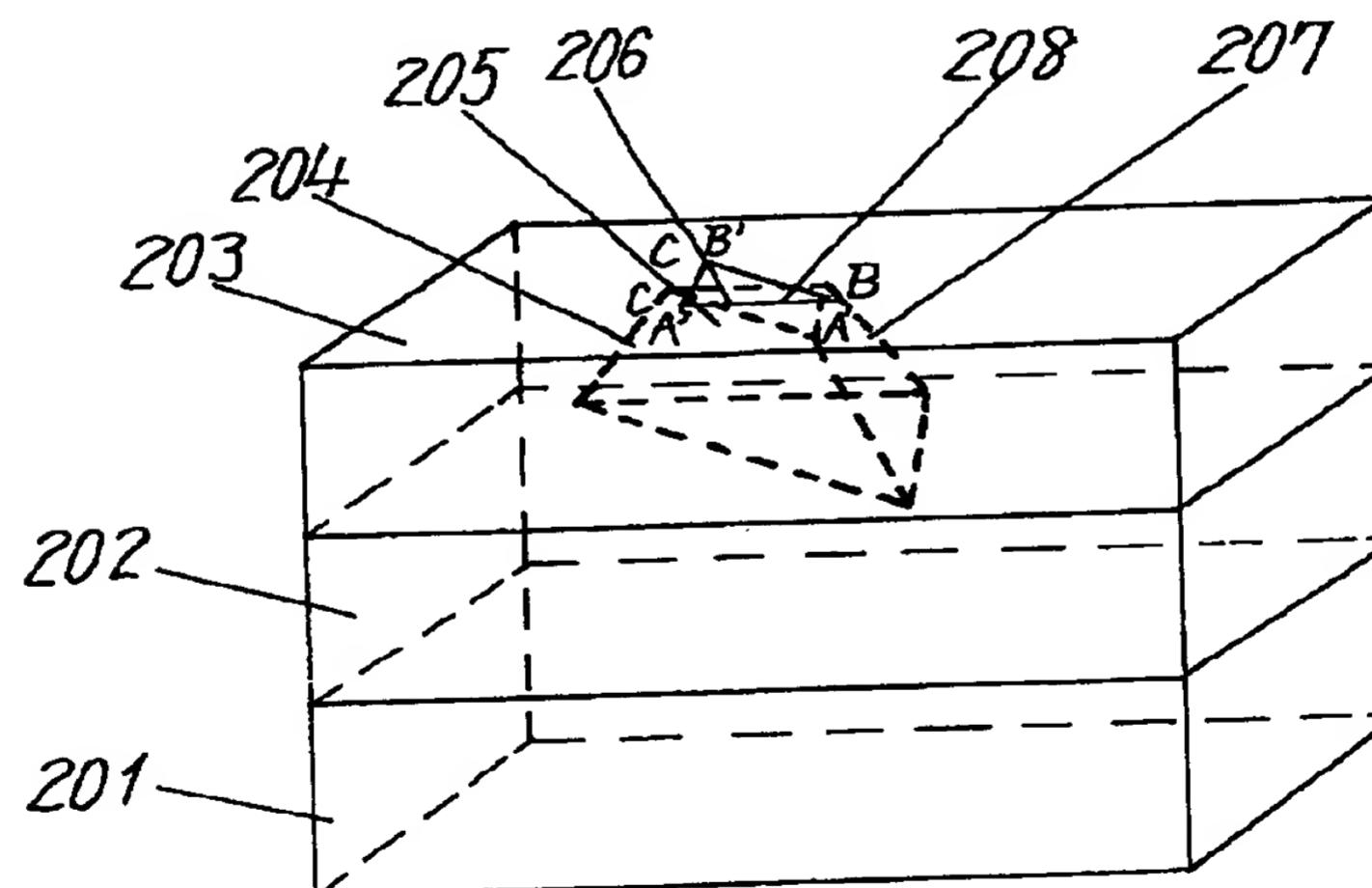
【図3】



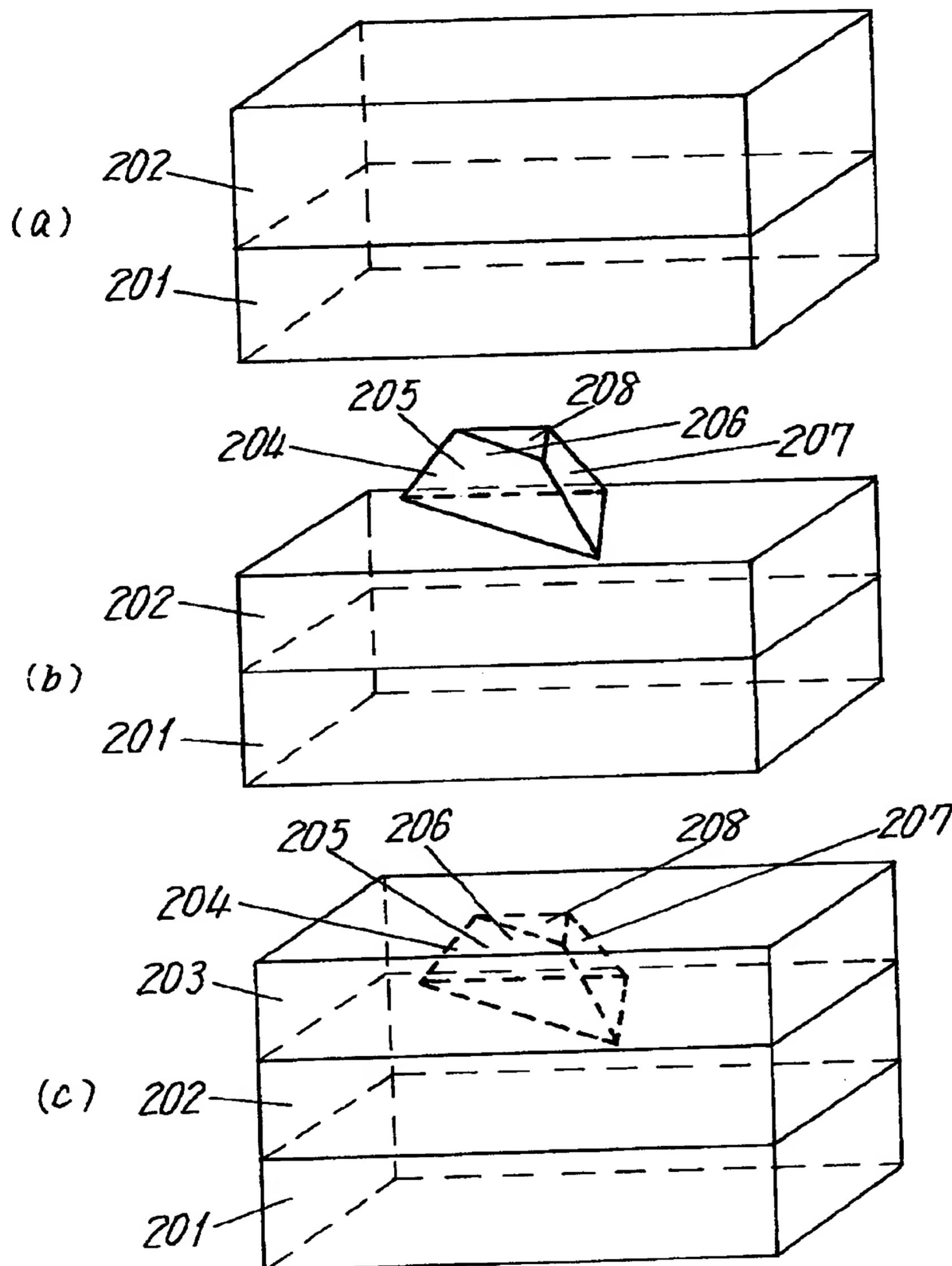
【図4】



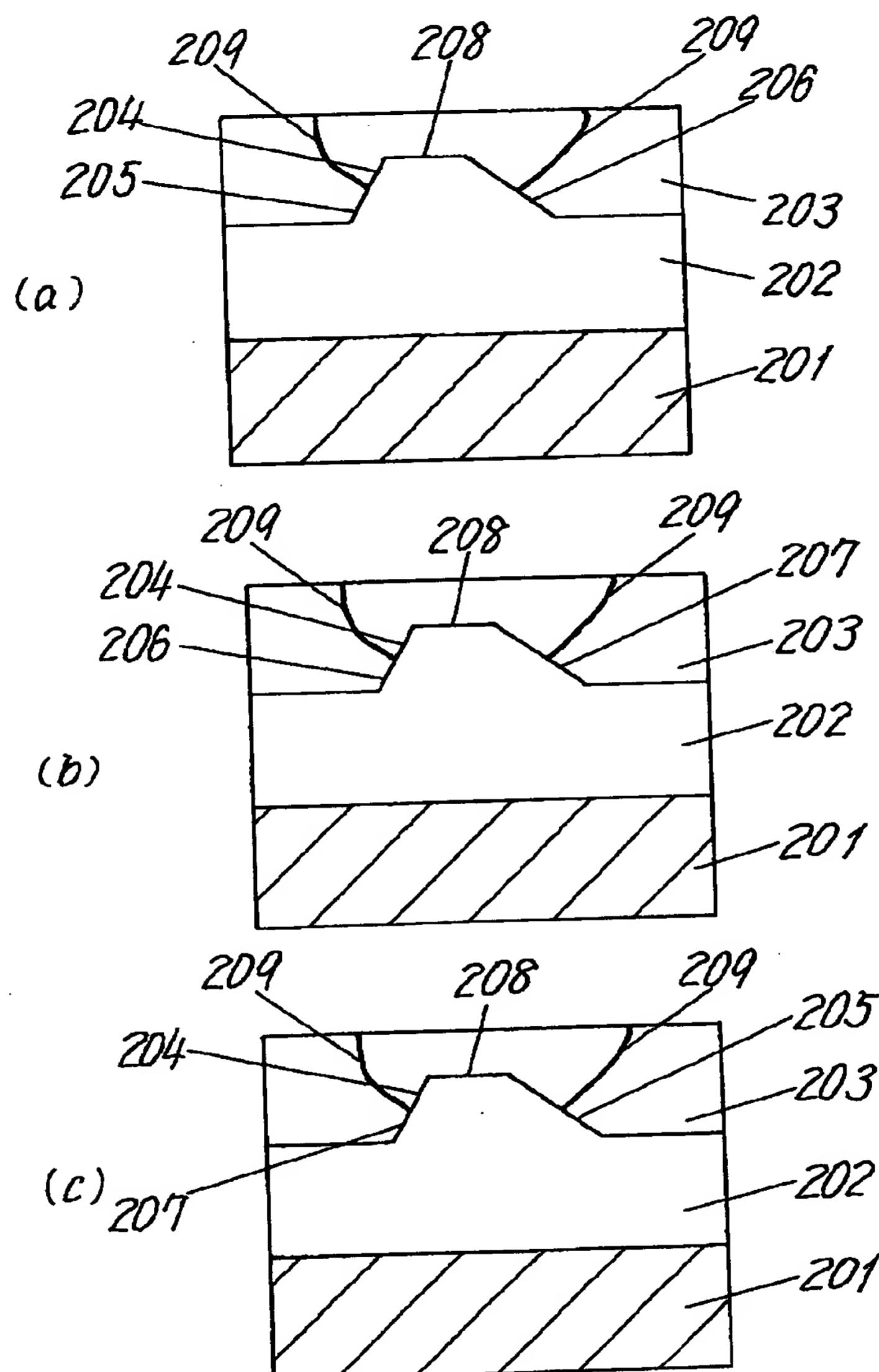
【図5】



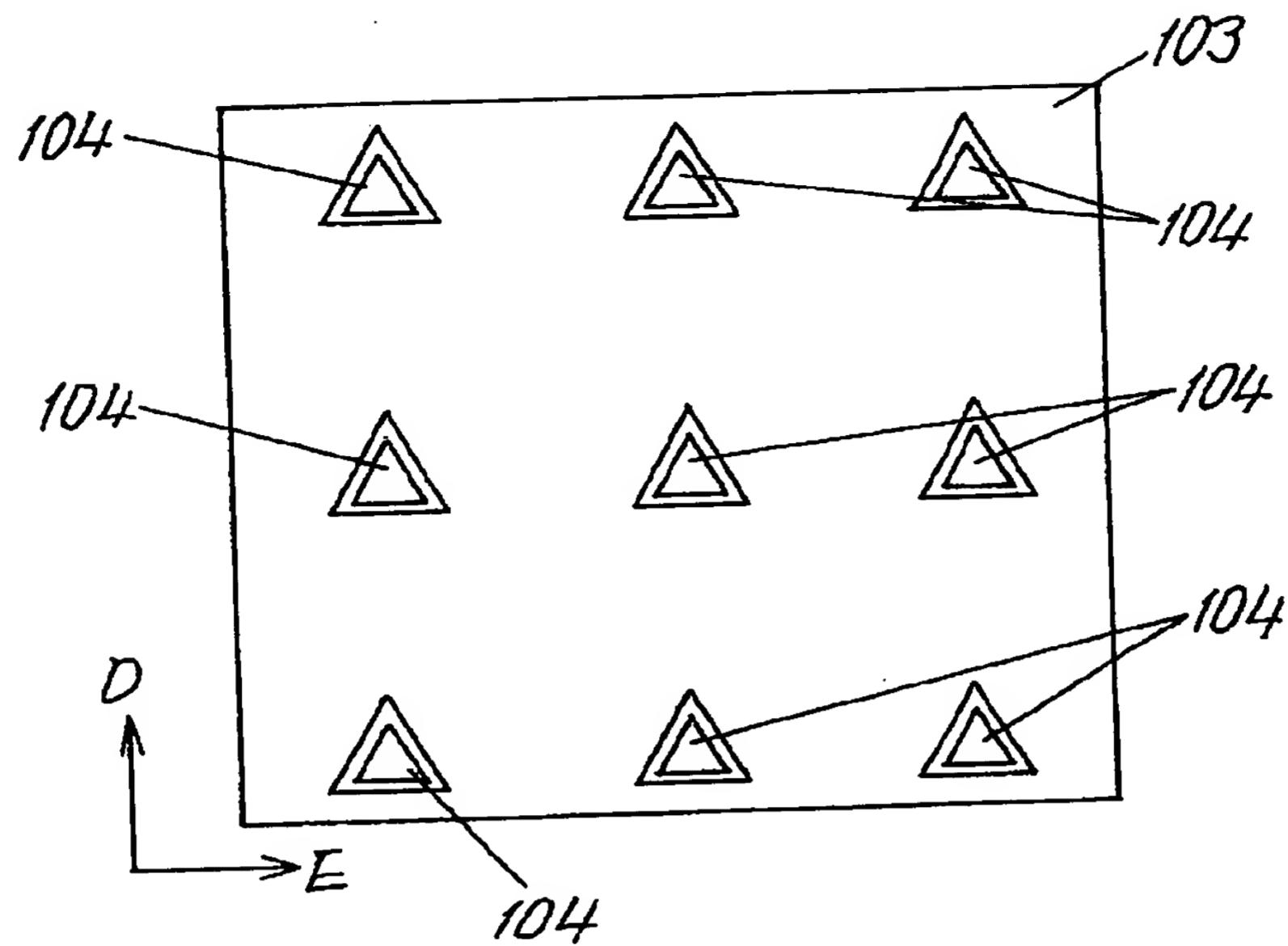
【図6】



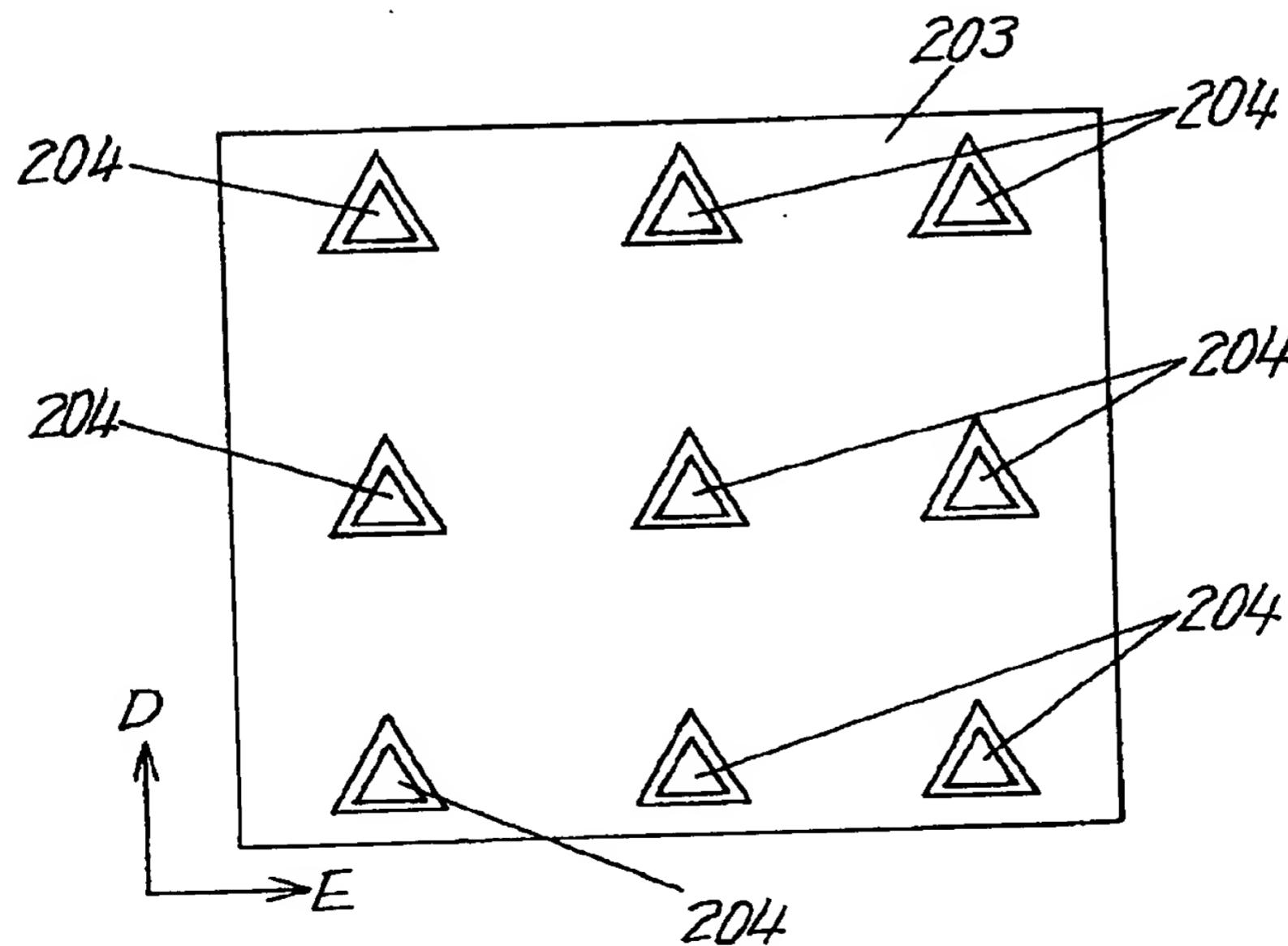
【図7】



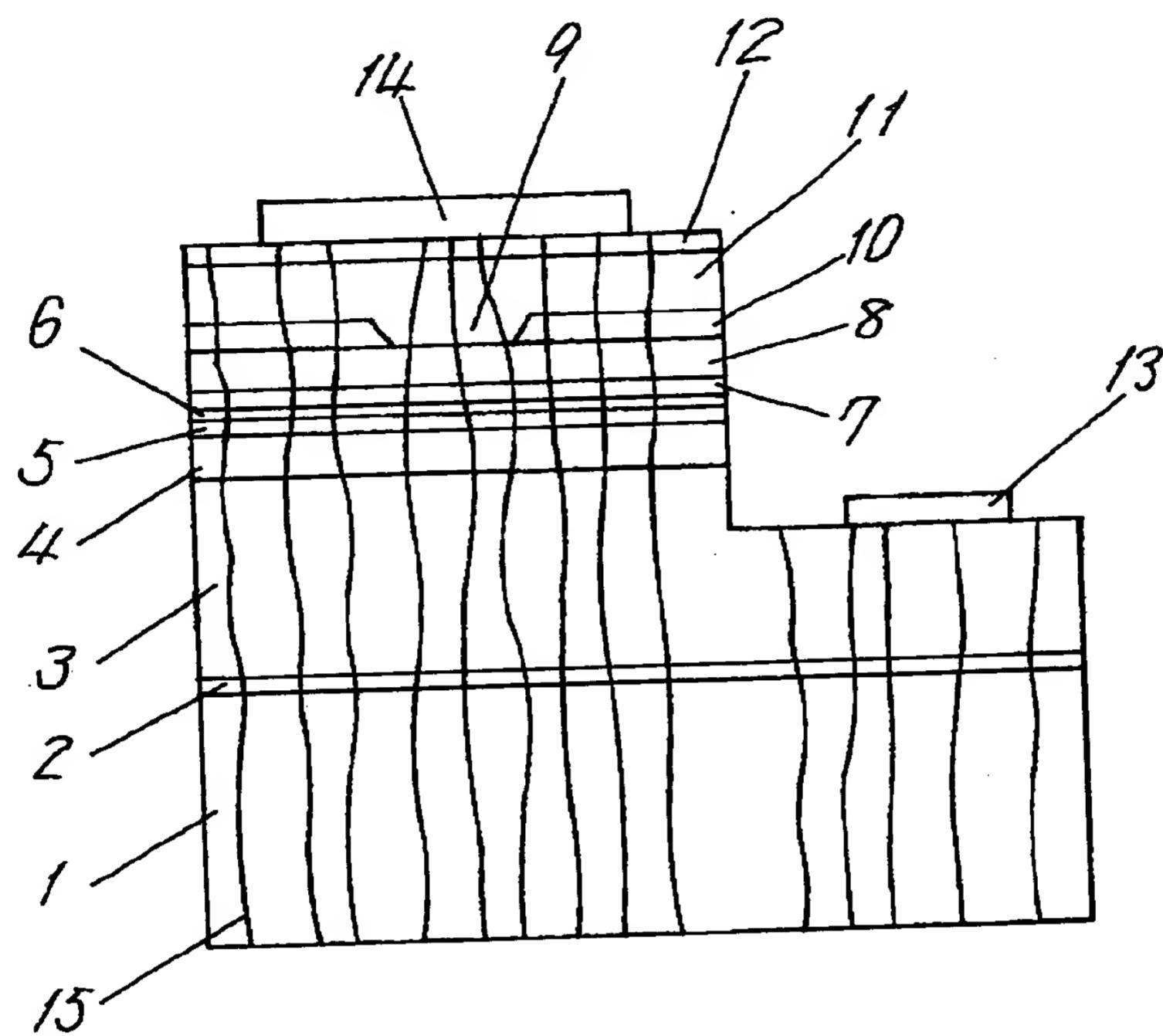
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 半導体装置内の欠陥密度を減少させる。

【解決手段】 サファイア基板101の上に(0, 0, 0, 1)面を主面とする六方晶のGaNよりなる第1の半導体層102が形成され、さらにその上にA_{0.1}Ga_{0.9}Nよりなる第2の半導体層103が形成されたものである。第1の半導体層102には窪み104が形成されており、その窪み104はそれぞれ面方位が(1, -1, 0, 1)、(0, 1, -1, 1)および(-1, 0, 1, 1)である3枚の側面105、106および107と面方位が(0, 0, 0, 1)である底面108とで構成されている。

【選択図】 図1

【書類名】 手続補正書
【提出日】 平成12年 9月22日
【あて先】 特許庁長官殿
【事件の表示】
【出願番号】 平成11年特許願第285582号
【補正をする者】
【識別番号】 000005843
【氏名又は名称】 松下電子工業株式会社
【代理人】
【識別番号】 100097445
【弁理士】
【氏名又は名称】 岩橋 文雄
【電話番号】 03-3434-9471
【手続補正 1】
【補正対象書類名】 特許願
【補正対象項目名】 発明者
【補正方法】 変更
【補正の内容】
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 中村 真嗣
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 石田 昌宏
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 折田 賢児
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 今藤 修

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 油利 正昭

【その他】 本件特許出願の発明者は「中村 真嗣」「石田 昌宏」「折田 賢児」「今藤 修」「油利 正昭」の5名ですが、そのうちの「石田 昌宏」を特許出願の際に、誤って「石田 昌弘」と記載してしまいました。従いまして、誤って記載した「石田 昌弘」を正確な「石田 昌宏」に訂正することを認めて下さるようお願い致します。

【プルーフの要否】 要